

引用格式:王佳乐,胡越黎. 基于新型 booth 选择器和压缩器的乘法器设计[J]. 微电子学与计算机,2020,37(3):5-8. [WANG J L, HU Y L. Design and implementation multiplier based on new booth selector and compressor [J]. Microelectronics & Computer,2020,37(3):5-8.]

基于新型 booth 选择器和压缩器的乘法器设计

王佳乐¹,胡越黎^{1,2}

(1 上海大学 微电子研究与开发中心,上海 201900; 2 上海大学 机电工程与自动化学院,上海 201900)

摘 要: 为了优化乘法器关键路径延时并减少电路面积,提高乘法器的整体性能. 本文在运用基 4 booth 算法的基础上,针对部分积生成器延时相对较大的问题,提出了一种新型的 booth 选择器,用于提高部分积生成的效率. 同时,本文又提出一种新型的 4-2 部分积压缩器,用于提高部分积压缩器的压缩效率. 基于 tsmc28nm 工艺,对运用上述优化点的有符号 16 比特乘法器进行仿真验证和综合,本文设计的乘法器关键路径延时为 0.98 ns. 实验结果表明,本文提出的两点新型设计,能较好的提升乘法器的计算性能.

关键词: booth 选择器;4-2 压缩器;乘法器;部分积

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2020)03-0005-04

Design and implementation multiplier based on new booth selector and compressor

WANG Jia-le¹, HU Yue-li^{1,2}

(1 Microelectronics Research and Development Center, Shanghai University, Shanghai 201900, China;

2 School of Mechanical Engineering and Automation, Shanghai University, Shanghai 201900, China)

Abstract: In order to optimize the multiplier critical path delay and reduce the circuit area, improve the overall performance of the multiplier. Based on the Radix 4 booth algorithm, this paper proposes a new type of booth selector for the problem of partial product generator delay, which is used to improve the efficiency of partial product generation. At the same time, this paper proposes a new type of 4-2 partial product compressor to improve the compression efficiency of the partial product compressor. Based on the tsmc 28 nm process, the signed 16-bit multiplier using the above optimization points is simulated and synthesized. The critical path delay of the multiplier designed in this paper is 0.98 ns. The experimental results show that the two new designs proposed in this paper can improve the computational performance of the multiplier.

Key words: booth selector; 4-2 compressor; multiplier; partial product

1 引言

CPU、GPU 和 DSP 等计算类硬件结构都会使用到乘法器,乘法器作为算数逻辑单元中的一个核心部件,制约着运算电路的整体性能. 乘法电路功能的实现分成三个步骤^[1]: 第一步产生部分积;第二步,使用进位保留加法器对部分积进行压缩;第三

步,使用加法器将部分积压缩后的两个伪和进行相加. 高性能的乘法电路都会使用基 4 Booth 算法去生成所需要的部分积,因为使用基 4 Booth 算法,可以将乘法计算所需要的产生部分积数量减少为乘数位宽的一半^[2]. 文献[3]提出了一种 4to2 压缩器对部分积进行压缩,该改进仅仅对生成进位的电路进行了优化,但是在关键路径上的延时依然没有减小.

文献[4]使用数据选择器的方法生成部分积,在该部分积生成电路的关键路径经过 3 个 2to1 数据选择器,关键路径的延时比较大. 文献[5]提出了一种将 booth 选择位和被乘数融合生成部分积的方法,该方法的关键路径延时也相对较大. 本文在使用基 4 Booth 算法的基础上,提出了一种新型的 booth 选择器和 4-2 部分积压缩器用于部分积的生成与压缩. 综合结果表明,这两个优化设计能很显著的提升乘法电路的计算性能.

2 基 4 booth 算法

在计算机中,运算操作数都会使用补码表示,高性能乘法器都会使用 booth 算法来提高运算性能. 基 2 的 booth 算法^[6]有一个不足之处,在计算 n 比特数相乘的过程(n 为偶数),会产生 n 个部分积. 为了得到最终的结果,需要对 n 个部分积进行压缩运算,那么两个 16 比特数相乘,电路就需要对 16 个部分积进行压缩运算. 部分积个数越多,压缩部分积所需要的逻辑资源就会越多,同时压缩部分积所需要的逻辑延时也会越长,所以本文采用基 4 的 booth 算法来减少部分积的个数. 使用基 4 booth 算法计算 $A \times B$,如公式(1)所示.

$$P = -A \times B_{[n-1]} \times 2^{n-1} + \dots + A \times B_{[1]} \times 2^1 + A \times B_{[0]} \times 2^0$$

$$= A \times \sum_{i=0}^{n/2-1} ((-2B_{[2i+1]} + B_{[2i]} + B_{[2i-1]}) \times 2^{2i}) \quad (1)$$

式中, $B_{[-1]} = 0$.

从公式(1)可以看出使用基 4 booth 算法的乘法器,仅需生成 $n/2$ 个部分积,再对 $n/2$ 个部分积进行累加计算,就可以得到最终的结果. 基 4 booth 算法部分积生成规则,如表 1 所示.

表 1 基 4 Booth 算法的部分积生成规则表

B_{n+1}	B_n	B_{n-1}	部分积
0	0	0	+0
0	0	1	+A
0	1	0	+A
0	1	1	+2A
1	0	0	-2A
1	0	1	-A
1	1	0	-A
1	1	1	-0

基 4 Booth 部分积产生电路会输入乘数连续的 3 个位,根据输入位的不同,会生成相应的部分积.

从表 1 中可以看出,总共有 5 种不同类型的部分积生成,分别是 +0、+A、+2A、-A、-2A. 生成部分积 -A 时,无需使用加法器对取反后的操作数 A 进行加 1 的运算,仅仅将操作数 A 进行取反,再在部分积压缩矩阵中在该部分积的最低位的下方,添加一个部分积符号位即可,该部分积符号位会在部分积压缩阵列中与取反后的操作数 A 进行压缩相加^[7]. 在生成 +2A 这个部分积时,仅需对 +A 左移一位即可得到,生成 -2A 也使用同样的方法.

3 新型 booth 选择器

文献[4]使用数据选择器(mux)的方法来生成部分积,由数据选择器组成的部分积生成器结构如图 1 所示. 先对 booth 电路的三个输入进行编码,生成相应的部分积选择信号,再对 5 个部分积可能值进行选择,从而生成正确的部分积. 从图中可以看出,该部分积生成器的关键路径上,信号会经过 3 个 2to1 的数据选择器,信号延迟比较大.

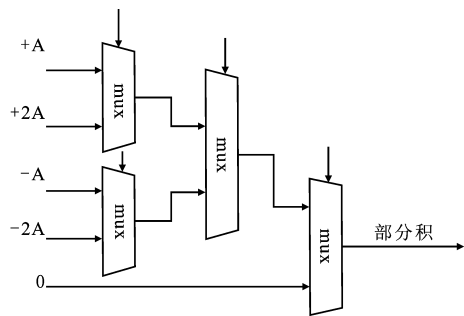


图 1 由 mux 构成的部分积生成器

针对于由 mux 构成的部分积生成器关键路径延时比较大的问题,本设计提出一种新型的 booth 选择器,其选择信号逻辑表达式如公式(2)~(4)所示. sel0~sel3 分别对应 +A、+2A、-A 和 -2A 的选择信号.

$$\text{sel}_0 = \overline{B[n+1]} \& (B[n] \mid B[n-1]) \quad (2)$$

$$\text{sel}_1 = \overline{B[n+1]} \& (B[n] \& B[n-1]) \quad (3)$$

$$\text{sel}_2 = B[n+1] \& (B[n] \oplus B[n-1]) \quad (4)$$

$$\text{sel}_3 = B[n+1] \& \overline{B[n]} \& \overline{B[n-1]} \quad (5)$$

本文设计的新型 booth 选择器,如图 2 所示. 新型的 booth 选择器的数据输入信号仅有 4 个,对应的是 4 个部分积可能值,其中部分积 pp0 对应的是 +A, pp1 对应的是 +2A, pp2 对应的是一 A, pp3 对应的是 -2A. 当乘数输入的连续 3 位为全 1 或者全 0 时,生成的部分积应为 0,根据选择信号逻辑表达式,此时 sel0~sel3 这四个部分积选择信号此时都

为低电平,4个部分积可能值信号和对应的 sel 信号进行逻辑与运算,与门输出信号都变成了0,各个与门的输出信号再进行逻辑或运算,从而保证最后 booth 选择器的输出为0,无需多余的逻辑去生成数值为0的部分积.从图中可以看出,部分积可能值的输入到最后部分积结果信号的输出,信号在关键路径上只经过了一个与门和两个或门,相较于由 mux 构成的部分积生成器,本设计中新型 booth 选择器的逻辑延时小于由3个数据选择器组成的部分积生成器,同时具有更小的逻辑面积.

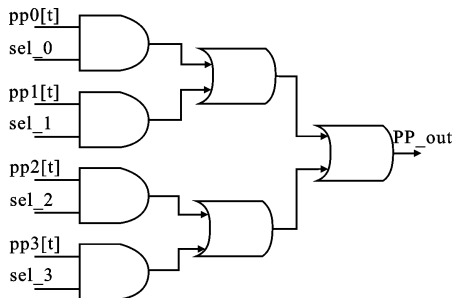


图2 本文提出的新型 booth 选择器图

4 新型 4—2 部分积压缩器

文献[3]中提出了一种使用2个全加器组成的部分积压缩器结构如图3所示.该部分积压缩器先将该部分积压缩器先将 X_4 、 X_3 和 X_2 使用全加器进行压缩,再将第一个全加器输出的 sum 信号输入到第二个全加器,之后第二个全加器会对 C_{in} 、 X_1 和第一个全加器输出的 sum 信号进行压缩运算.全加器的关键路径上,信号会经过2个异或门,文献[3]提出的改进后的4—2压缩器使用了两个全加器,所以在其关键路径上,信号总共经过4个异或门.整个部分积压缩器的逻辑延时没有得到较好的优化.

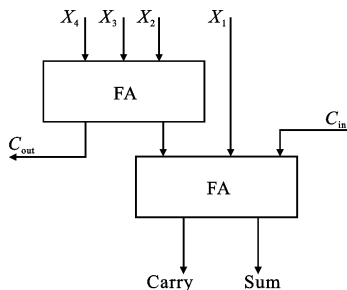


图3 文献[3]提出的4—2压缩器的结构图

本文提出一种新型的部分积压缩器,如图4所示, X_1 、 X_2 、 X_3 和 X_4 为新型部分积的4个输入信号位, sum、carry 和 E_i 为新型部分积压缩器的3个输出信号位. sum 为压缩器输出结果的求和位, carry

为输出结果的进位位, E_i 为压缩器输出结果的传递位,该传递位会作为下一组4—2部分积压缩器 E_{i-1} 的输入.

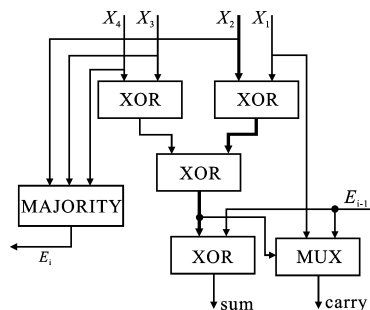


图4 本文提出的新型4—2压缩器结构图

本设计提出的新型4—2部分积压缩器,逻辑表达式如公式(6~9)所示:

$$E_i = (X_4 \& X_3) \mid (X_3 \& X_2) \mid (X_4 \& X_2) \quad (6)$$

$$\text{sum} = X_4 \oplus X_3 \oplus X_2 \oplus X_1 \oplus E_{i-1} \quad (7)$$

$$\text{carry} = (X_1 \& (X_4 \oplus X_3 \oplus X_2 \oplus X_1)) \mid (E_{i-1} \& (X_4 \oplus X_3 \oplus X_2 \oplus X_1)) \quad (8)$$

$$\begin{aligned} & X_1 + X_2 + X_3 + X_4 + E_{i-1} \\ &= 2 \times (E_i + \text{carry}) + \text{sum} \end{aligned} \quad (9)$$

新型4—2部分积压缩器的关键路径在图中用黑线标出,可以看出本设计提出的4—2部分积压缩器,在其关键路径上,信号只经过3个异或门,本文设计的部分积压缩器相比文献[3]提出的4—2压缩器具有更少的逻辑延时.

5 有符号 16 bit 乘法器结构

将本文提出的新型 booth 选择器和4—2部分积压缩器,运用于有符号16比特乘法电路的设计,如图5所示.根据基4booth算法,有符号16比特乘法电路总共会生成8个部分积,这8个部分积使用本文提出的新型 booth 选择器来生成.再使用新型4—2部分积压缩器,将16比特乘法电路所生成的8个部分积进行压缩运算,最终将8个部分积压缩成两个伪和 Out1 和 Out2,再使用一个加法器对伪和 Out1 和 Out2 进行相加,从而得到最终的32比特有符号乘法结果.

6 形式验证与综合

本设计使用 synopsys 公司的 hector 算数逻辑单元形式验证工具,将有符号16比特乘法器的 RTL 模型和 C++ 模型进行形式验证对比,保证了

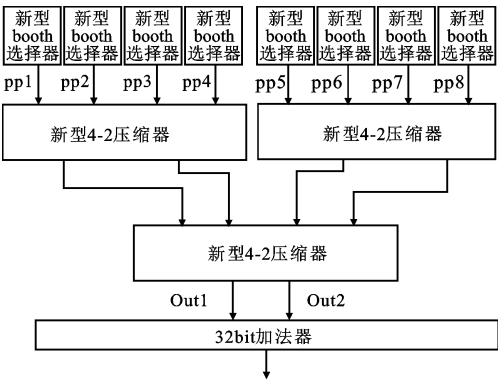


图5 有符号 16 比特乘法器结构

有符号 16 比特乘法电路计算功能的正确性。同时基于 tsmc28 nm 工艺库,使用 Cadence 公司的 Genus 综合工具对本文设计的基于新型 booth 选择器和压缩器的乘法器进行综合。本文设计的有符号 16 bit 乘法器关键路径逻辑延时为 0.98 ns,时钟频率最高可达到 1 GHz,逻辑面积为 1 858.950 μm^2 ,总单元数目为 1 306。表 2 列出了新型 booth 选择器和由 mux 组成的部分积生成器的参数对比;表 3 展示了本文提出的新型 4—2 部分积压缩器与文献[3]提出的 4—2 部分积压缩器的参数对比。

表 2 新型 booth 选择器比较

部件类型	电路延时/ns	电路面积/ μm^2
新型 booth 选择器	0.125	2.64
文献[5]提出的部分积生成器	0.137	2.62
由 mux 组成的部分积生成器	0.140	3.42

表 3 新型 4—2 部分积压缩器比较

部件类型	电路延时/ns	电路面积/ μm^2
新型 4—2 部分积压缩器	0.161	5.91
文献[3]中的 4—2 部分积压缩器	0.170	5.90

7 结束语

本文针对于基 4booth 部分积生成器逻辑延迟相对较大的问题,提出了一种新型的 booth 选择器。

同时,提出了一种新型的 4—2 部分积压缩器,该 4—2 部分积压缩器具有更少的逻辑延时。从综合实验结果可以看出,本文提出的新型 booth 选择器相较于同类电路,具有更短的电路延时;本文提出的新型 4—2 部分积压缩器和文献[3]提出 4—2 部分积电路面积相差不大,但是电路延时却减少了 5.8%。本文提出的两点优化设计能够较好的提升乘法运算电路的计算性能,适用于高速乘法运算电路。

参考文献:

[1] 成兴华. FT-XDSP 高性能 64 位定点 SIMD 乘加部件的设计与实现[D]. 长沙:国防科学技术大学, 2013.

[2] 石敏, 王耿, 易清明. 基于改进的 Booth 编码和 Wallace 树的乘法器优化设计[J]. 计算机应用与软件, 2016, 33(5): 13-16.

[3] 仲亚, 叶瑶瑶. 基于新型压缩器的乘法器设计[J]. 微电子学与计算机, 2019, 36(3): 28-31.

[4] 王重阳. 单、双、扩展精度自适应浮点乘、除和开方运算单元的实现[D]. 北京:华北电力大学, 2011.

[5] 张凯, 李涛, 秦晨蕊, 等. RV32IM 处理器乘法电路的设计与实现[J]. 微电子学与计算机, 2018, 35(9): 125-128.

[6] VERMA I, GHOSH P, SONI U, et al. A high speed arithmetic architecture of parallel multiplier-accumulator (MAC) Based on Radix-2 Modified Booth Algorithm[J]. i-Manager's Journal on Circuits & Systems, 2017, 5(3): 38.

[7] 李楠, 喻明艳. 16×16 快速乘法器的设计与实现[J]. 微电子学与计算机, 2008, 25(4): 156-159.

作者简介:

王佳乐 男, (1994-), 硕士研究生. 研究方向为超大规模集成电路设计、运算电路设计. E-mail: wjl941214@163.com.

胡越黎 男, (1959-), 博士, 教授. 研究方向为多处理器/片上系统、超大规模集成电路设计.